



PAJ 1994 to  
today



Your search statement: Words anywhere: "@PN='07271628'"  
Record 1 of 1



(19) JAPANESE PATENT OFFICE

(11) Publication Number: JP 07271628 A (43) Date of publication: 19951020

(51) int. Cl : G06F011-22   
(ICS) G01R031-28  
G11C029-00

(71) Applicant:  
MATSUSHITA ELECTRIC IND CO LTD

(72) Inventor:  
MAEDA TOSHINORI

(21) Application Information:  
19950125 JP 07-9485

(32) Priority Date: 19940209

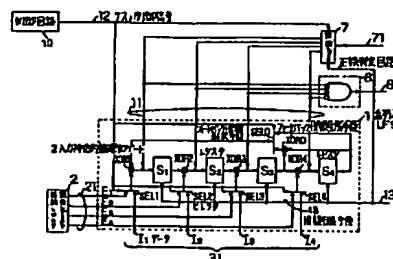
(30) Priority Information:  
19940209 JP 06-15030

## CIRCUIT AND METHOD FOR TESTING SEMICONDUCTOR INTEGRATED CIRCUIT

### (57) Abstract:

**PURPOSE:** To compare a found compressed value with an expected compressed value by using a parallel input linear feedback shift register which has compressed data.

**CONSTITUTION:** The test circuit which tests whether or not the semiconductor integrated circuit (e.g. memory) is correct or not, compresses data I1-I4 read out of the memory by a sequential parallel input linear LFSR 1 to find a compressed signature, and then supplies the output of the register S4 of the final stage to the 1st input of a two-input exclusive OR gate XOR1 positioned at the left end by a feedback information selecting means SEL0. The outputs of registers S2-S4 positioned in front of them are supplied to 1st inputs of other exclusive OR gates XOR2-XOR4. Input selectors SEL1-SEL4 select expected signatures E1-E4 of



an expected signature storage register 2 and supply them to 2nd inputs of the respective exclusive OR gates XOR2-XOR4. Therefore, the exclusive OR gates XOR2-XOR4 compare the compressed values with expected compressed values.

CD-Volume: MIJP9510PAJ JP 07271628 A Copyright: JPO 19951020  
001

PAJ Result

End Session



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-271628

(43) 公開日 平成7年(1995)10月20日

(51) Int.Cl. <sup>8</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 6 F 11/22	3 3 0 B			
G 0 1 R 31/28				
G 1 1 C 29/00	3 0 3 C	7004-5L		
			G 0 1 R 31/ 28	C4 B

審査請求 未請求 請求項の数24 O L (全 20 頁)

(21) 出願番号 特願平7-9485

(22) 出願日 平成7年(1995)1月25日

(31) 優先権主張番号 特願平6-15030

(32) 優先日 平6(1994)2月9日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 前田 俊則

大阪府門真市大字門真1006番地 松下電器  
産業株式会社内

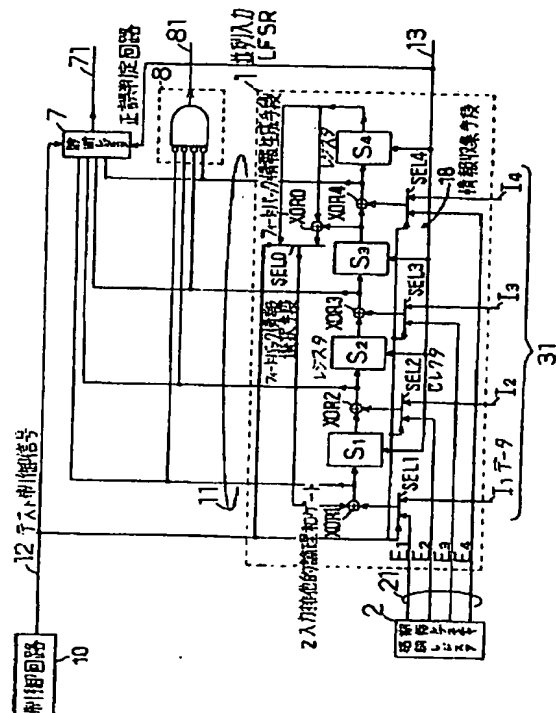
(74) 代理人 弁理士 前田 弘 (外2名)

(54) 【発明の名称】 半導体集積回路のテスト回路及びテスト方法

(57) 【要約】

【目的】 データ圧縮を行った並列入力線形フィードバックシフトレジスタ(LFSR)を用いて、求められた圧縮値と期待圧縮値との比較を行う。

【構成】 半導体集積回路(例えばメモリ)の正誤のテスト回路において、メモリから読み出したデータ11~14を順次並列入力線形LFSR1により圧縮して圧縮シグネチャを求めた後、フィードバック情報選択手段SEL0により最終段のレジスタS4の出力を、左端に位置する2入力排他的論理和ゲートXOR1の第1の入力に与える。他の排他的論理和ゲートXOR2~XOR4の第1の入力には、その前段に位置するレジスタS2~S4の出力を与える。入力セクタSEL1~SEL4は、期待シグネチャ格納レジスタ2の期待シグネチャE1~E4を選択して、各排他的論理和ゲートXOR2~XOR4の第2の入力に与える。従って、各排他的論理和ゲートXOR2~XOR4で圧縮値と期待圧縮値との比較が行われる。



## 【特許請求の範囲】

【請求項1】 半導体集積回路から複数の並列データが順次入力され、前記入力された複数の並列データを圧縮するコンパクトテスト回路を用いる半導体集積回路のテスト回路であって、

期待圧縮値を記憶する期待圧縮値記憶手段と、  
テスト回路に元々備える演算回路と、

前記コンパクトテスト回路による圧縮により得られた圧縮値及び前記期待圧縮値記憶手段の期待圧縮値を前記演算回路に与える情報収集手段とを備えて、  
前記得られた圧縮値と期待圧縮値とを比較する比較手段を前記の元々備える演算回路により兼用したことを特徴とする半導体集積回路のテスト回路。

【請求項2】 コンパクトテスト回路は、並列入力線形フィードバックシフトレジスタにより構成されることを特徴とする請求項1記載の半導体集積回路のテスト回路。

【請求項3】 並列入力線形フィードバックシフトレジスタは、複数個のレジスタと、前記各レジスタの前段に配置される複数個の2入力排他的論理和ゲートと、最終段のレジスタの出力と途中段のレジスタの出力とからフィードバック情報を生成するフィードバック情報生成手段とを備え、前記各レジスタにはその前段の2入力排他的論理和ゲートの出力が各々入力され、最初段のレジスタの前段に位置する2入力排他的論理和ゲートを除く各2入力排他的論理和ゲートの第1の入力には各々その前段のレジスタの出力が与えられ、最初段のレジスタの前段に位置する2入力排他的論理和ゲートの第1の入力には前記フィードバック情報選択手段の出力が与えられるものであり、

元々備える演算回路は、前記並列入力線形フィードバックシフトレジスタに備える複数個の2入力排他的論理和ゲートであり、

情報収集手段は、前記並列入力線形フィードバックシフトレジスタのフィードバック情報生成手段の出力と最終段のレジスタの出力とのうち何れか一方を制御信号により選択するフィードバック情報選択手段と、前記並列入力線形フィードバックシフトレジスタの各レジスタの第2の入力に与えるデータとして、並列データと期待圧縮値記憶手段の期待圧縮値とのうち何れか一方を制御信号により選択する入力選択手段とにより構成されることを特徴とする請求項2記載の半導体集積回路のテスト回路。

【請求項4】 テストされる半導体集積回路はメモリであることを特徴とする請求項1、請求項2又は請求項3記載の半導体集積回路のテスト回路。

【請求項5】 テストされる半導体集積回路は内部機能ブロックであることを特徴とする請求項1、請求項2又は請求項3記載の半導体集積回路のテスト回路。

【請求項6】 入力選択手段は2入力マルチプレクサに

より構成されることを特徴とする請求項3記載の半導体集積回路のテスト回路。

【請求項7】 1つのデータバスを備え、

前記データバスには、並列入力線形フィードバックシフトレジスタの各2入力排他的論理和ゲートが直接に接続されると共に、半導体集積回路及び期待圧縮値記憶手段が各々出力バッファを介して接続され、

入力選択手段は、前記半導体集積回路及び期待圧縮値記憶手段のうち何れか1つのデータを前記データバスに出力するよう前記半導体集積回路及び期待圧縮値記憶手段の各出力バッファを制御する制御回路から成ることを特徴とする請求項3記載の半導体集積回路のテスト回路。

【請求項8】 データバスに接続される半導体集積回路は複数個であることを特徴とする請求項7記載の半導体集積回路のテスト回路。

【請求項9】 入力選択手段は、制御信号により、半導体集積回路からの並列データを圧縮する圧縮サイクル時には半導体集積回路からの並列データを選択し、得られた圧縮値と期待圧縮値との比較判定時には期待圧縮値記憶手段の期待圧縮値を選択することを特徴とする請求項3又は請求項7記載の半導体集積回路のテスト回路。

【請求項10】 期待圧縮値記憶手段は、期待圧縮値を、予め並列入力線形フィードバックシフトレジスタのシフト方向に1ビットのみローテート操作して記憶することを特徴とする請求項3記載の半導体集積回路のテスト回路。

【請求項11】 1つのデータバスを備え、並列入力線形フィードバックシフトレジスタは、各レジスタの出力及びフィードバック情報選択手段の出力を各々前記データバスに接続する出力バッファを備え、と共に、各2入力排他的論理和ゲートの第1の入力が前記データバスに直接接続されて、最初段のレジスタの前段に位置する2入力排他的論理和ゲートを除く各2入力排他的論理和ゲートの第1の入力には各々その前段のレジスタの出力が前記出力バッファ及び前記データバスを介して与えられ、最初段のレジスタの前段に位置する2入力排他的論理和ゲートの第1の入力には前記フィードバック情報選択手段の出力が前記出力バッファ及び前記データバスを介して与えられるものであることを特徴とする請求項3記載の半導体集積回路のテスト回路。

【請求項12】 他の1つのデータバスを備え、並列入力線形フィードバックシフトレジスタは、各レジスタの出力及びフィードバック情報選択手段の出力を各々前記他のデータバスに接続する他の出力バッファを備え、と共に、各2入力排他的論理和ゲートの第2の入力が前記データバスに直接接続されて、最初段のレジスタの前段に位置する2入力排他的論理和ゲートを除く各2入力排他的論理和ゲートの第2の入力には各々その前段のレジスタの出力が前記他の出力バッファ及び前記他のデータバスを介して与えられ、最初段のレジスタの前段

に位置する2入力排他的論理和ゲートの第2の入力には前記フィードバック情報選択手段の出力が前記他の出力バッファ及び前記他のデータバスを介して与えられるものであることを特徴とする請求項1記載の半導体集積回路のテスト回路。

【請求項13】 データバス及び他の1つのデータバスには、各々、半導体集積回路及び期待圧縮値記憶手段が接続され、前記半導体集積回路及び期待圧縮値記憶手段は各々出力バッファを内蔵し、

入力選択手段は、2つのデータバスのうち何れか一方を並列入力線形フィードバックシフトレジスタの圧縮用に用いながら、他方のデータバスに、この他方のデータバスに接続された半導体集積回路及び期待圧縮値記憶手段のうち何れかからデータを出力するように、前記半導体集積回路及び期待圧縮値記憶手段に各々内蔵する出力バッファ、並びに前記並列入力線形フィードバックシフトレジスタに内蔵する各出力バッファを制御する制御回路から成ることを特徴とする請求項12記載の半導体集積回路のテスト回路。

【請求項14】 データバス及び他の1つのデータバスには、各々、半導体集積回路が接続され、前記半導体集積回路は出力バッファを内蔵し、入力選択手段は、一方のデータバスに、この一方のデータバスに接続された半導体集積回路からデータを出力すると共に、他方のデータバスに、この他方のデータバスに接続された半導体集積回路からデータを出力し、前記両データバスに出力されたデータ同志を並列入力線形フィードバックシフトレジスタの各2入力排他的論理和ゲートで比較するように、前記半導体集積回路に内蔵する出力バッファ及び前記並列入力線形フィードバックシフトレジスタに内蔵する各出力バッファを制御する制御回路から成ることを特徴とする請求項12記載の半導体集積回路のテスト回路。

【請求項15】 並列入力線形フィードバックシフトレジスタの各2入力排他的論理和ゲートの出力を入力し、その各入力の値から半導体集積回路の正誤を判定し、その判定結果を出力する正誤判定手段を備えたことを特徴とする請求項3又は請求項7記載の半導体集積回路のテスト回路。

【請求項16】 並列入力線形フィードバックシフトレジスタの各2入力排他的論理和ゲートの出力を入力し、その入力内容を格納すると共にその入力内容を出力する診断レジスタを備えたことを特徴とする請求項3又は請求項7記載の半導体集積回路のテスト回路。

【請求項17】 フィードバック情報選択手段にはスキャンイン情報が入力され、前記フィードバック情報選択手段はスキャン操作時に前記スキャンイン情報を選択するものであり、並列入力線形フィードバックシフトレジスタの最終段の

レジスタの出力はスキャンアウト情報としてスキャンバスに接続され、

前記並列入力線形フィードバックシフトレジスタの各レジスタに並列データとしてスキャン操作時にゼロを与えるゼロ出力手段を備えて、

テスト回路の外部から前記並列入力線形フィードバックシフトレジスタの全てのレジスタの出力を観察できるように構成したことを特徴とする請求項7記載の半導体集積回路のテスト回路。

10 【請求項18】 並列入力線形フィードバックシフトレジスタの各2入力排他的論理和ゲートでの両データの比較結果を入力してこの両データの一致又は不一致を判定し、その判定結果を出力する正誤判定手段を備えたことを特徴とする請求項14記載の半導体集積回路のテスト回路。

【請求項19】 予め求めた期待圧縮値の生成時と同一のアドレスシーケンスにより半導体集積回路からデータを順次読み出すと同時に、この読み出した各データを並列入力線形フィードバックシフトレジスタの各レジスタに並列に順次入力し、シフトすることを繰返すことにより、順次並列データを圧縮することを繰返し、最後の並列データを圧縮した時点の各レジスタの出力を並列データの圧縮値として求め、

その後、最初段のレジスタの前段に位置する2入力排他的論理和ゲートの第1の入力に最終段のレジスタの出力を与え、且つ最初段のレジスタを除く各レジスタの前段に位置する2入力排他的論理和ゲートの第1の入力にその各前段のレジスタの出力を与えると共に、

前記並列入力線形フィードバックシフトレジスタの各2入力排他的論理和ゲートの第2の入力に期待圧縮値を入力して、

各2入力排他的論理和ゲートにより、並列データの圧縮値と期待圧縮値との対応ビット同志の比較演算を行い、この比較演算結果により半導体集積回路の正常性をテストすることを特徴とする半導体集積回路のテスト方法。

【請求項20】 複数の半導体集積回路のうち何れか1つを出力バッファを介して1つのデータバスに接続し、その接続した半導体集積回路から順次データを前記データバスを介して読み出し、この読み出した各データの圧縮、圧縮値の算出、得られた圧縮値と期待圧縮値との比較を行った後、

前記複数の半導体集積回路のうち他の何れか1つを出力バッファを介して1つのデータバスに接続し、その接続した半導体集積回路から順次データを前記データバスを介して読み出し、この読み出した各データの圧縮、圧縮値の算出、得られた圧縮値と期待圧縮値との比較を行うことを繰返すことを特徴とする請求項19記載の半導体集積回路のテスト方法。

【請求項21】 半導体集積回路からのデータを並列入力線形フィードバックシフトレジスタにより圧縮するこ

とを繰返している際、そのデータの圧縮毎に、前記並列入力線形フィードバックシフトレジスタの最終段のレジスタを除くレジスタの出力及びフィードバック情報から成る圧縮途中情報をデータバスを介してこのデータバスに接続されている半導体集積回路のテストデータとして入力又は記憶させることを特徴とする請求項19記載の半導体集積回路のテスト方法。

【請求項22】 並列入力線形フィードバックシフトレジスタには、テスト開始前に、初期値がスキャンインされることを特徴とする請求項19記載の半導体集積回路のテスト方法。

【請求項23】 被テスト半導体集積回路は複数のメモリであり、

前記各メモリは、その容量、書き込まれるデータ又は書き込まれたデータが異なるものであり、

並列入力線形フィードバックシフトレジスタにスキャンインされる初期値は、前記各メモリからデータを読み出して求まる各々の期待圧縮値が同一値となるように予め求めた所定の初期値であることを特徴とする請求項22記載の半導体集積回路のテスト方法。

【請求項24】 被テスト半導体集積回路は複数の内部機能ブロックであり、

前記各内部機能ブロックは、その機能又は与えられる入力系列が異なるものであり、

並列入力線形フィードバックシフトレジスタにスキャンインされる初期値は、前記各入力系列に対する各内部機能ブロックの出力から求まる各々の期待圧縮値が同一値となるように予め求めた所定の初期値であることを特徴とする請求項22記載の半導体集積回路のテスト方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は半導体集積回路のテスト回路及びテスト方法に関し、特に、線形フィードバックシフトレジスタを用いて半導体集積回路の正誤（正常、不正常）をテストする半導体集積回路のテスト回路及びテスト方法の改良に関する。

【0002】

【従来の技術】近年、高集積化、微細化が著しく進む半導体技術により実現した大容量メモリのテストにおいては、如何に効率良く且つ短時間に行なうかが大きな問題となっている。また、マイクロプロセッサやDSPのようにメモリを内蔵したチップも多く作られており、これ等に内蔵されたメモリを外部端子のみを用いてテストするのは難しく、これも大きな問題となっている。

【0003】そこで、従来、前記の問題を解決するテスト方法の1つとして、チップ上に半導体集積回路のテスト回路を内蔵させて、自動テストを行う方法が提案されている。この提案方法によれば、その自動テストを電源投入時毎に行なうと、そのテスト結果をユーザーが使用毎に判断できて、市場での保守又は信頼性が向上する点

で有利である。

【0004】前記自動テストの方式には、コンパクトテスト手法の一種として、線形フィードバックシフトレジスタ(linear Feedback Shift Register:以下、LFSRという)を用いて、メモリ等の半導体集積回路の出力系列を圧縮する方式がある。ここで、LFSRは、概述すると、複数のレジスタと、前記各レジスタの前段に配置される複数の2入力排他的論理和ゲートと、最終段のレジスタの出力と途中段のレジスタの出力とからフィードバック情報を生成するフィードバック情報生成手段とを備える。以下、LFSRを用いた自動テスト方式を説明する。

【0005】先ず、ROM、RAM、PLA等のメモリから読み出したデータを並列入力LFSRに入力し、これ等の入力情報を並列入力LFSRで圧縮して、その出力系列の圧縮値（シグネチャ）を求める。

【0006】次に、並列入力LFSRで求めたシグネチャをチップ内部で期待シグネチャと比較して、出力系列の正誤を判定するか、又は、求めたシグネチャをスキャンバスを用いてスキャンアウトし、チップ外部で期待シグネチャと比較して、出力系列の正誤を判定して、メモリの正常性を判定する。

【0007】前記チップ内部でデータの正誤を判定する方法は、例えば、Patrick P.Gelsinger による"Design and Test of the 80386"(IEEE, Design & Test of Comp t., vol.4 no.3, pp.42-50 June 1987)に開示されているように、求めたシグネチャと予め内蔵した期待シグネチャとをALUの入力とし、ALUによる排他的論理和の演算結果を診断レジスタに格納することにより、実現できる。この場合、求めたシグネチャと期待シグネチャとが一致する、即ちメモリが正常であれば、診断レジスタにはゼロが格納され、一致しない、即ちメモリが正常でなければ、診断レジスタにはゼロ以外の値が格納される。

【0008】

【発明が解決しようとする課題】しかしながら、上記のような半導体集積回路のテスト回路及びテスト方法では、チップ内部で期待シグネチャと比較して、メモリ又は内部機能ブロックの出力系列の正誤を判定するためには、(1)並列入力LFSRに加えて、出力系列の圧縮値と期待シグネチャとを比較する比較手段を必要とする。(2)前記比較手段としてALUを用いれば、期待シグネチャを予め格納する格納手段を要すると共に、並列LFSRをデータバスを介して前記ALUに接続する必要が生じ、コンパクトな配置を得るには、レイアウト的に制約が生じる。(3)以上のような構成を取れば、前記比較手段や格納手段等の制御対象となるブロックが多くなって、マイクロプログラムによる複雑な制御が必要となる、等の要因から、必ずしも半導体集積回路のテスト回路及び方法として、容易とは言えない欠点があ

る。

【0009】また、チップ外部で期待シグネチャと比較してメモリの出力系列の正誤を判定するためには、

(4) 判定するチップの期待シグネチャをチップ外部で必要とするが、この期待シグネチャを知り得ないユーザーは、組み込みテストを利用できない、(5) 機能的に全く同一のチップであっても、内蔵しているROMやRAMに書き込まれたデータの種類のに応じて各々の期待シグネチャを準備、管理し、その対応する期待シグネチャと比較する必要が生じる、等の要因から、半導体集積回路のテスト回路や方法が繁雑となり、柔軟性に欠けるとい

10

問題点があった。  
【0010】本発明は上記問題点に鑑みてなされたものであり、その目的は、並列データを入力して圧縮する並列入力LFSRを用いる半導体集積回路のテスト回路及びテスト方法において、得られた圧縮シグネチャをチップ内部で期待シグネチャと比較する方式を採用しつつ、比較手段が不要で且つ簡単な制御でもって半導体集積回路のテストを行い得るテスト回路及びテスト方法を提供することにある。

【0011】

【課題を解決するための手段】前記目的を達成するため、本発明では、並列入力LFSRにより圧縮して求めた圧縮シグネチャと期待シグネチャとの比較演算をテスト回路に元々備える演算回路、例えば並列入力LFSRの2入力排他的論理和ゲート等を利用して行う構成とする。

【0012】即ち、請求項1記載の発明の半導体集積回路のテスト回路は、半導体集積回路から複数の並列データが順次入力され、前記入力された複数の並列データを圧縮するコンパクトテスト回路を用いる半導体集積回路のテスト回路であって、期待圧縮値を記憶する期待圧縮値記憶手段と、テスト回路に元々備える演算回路と、前記コンパクトテスト回路による圧縮により得られた圧縮値及び前記期待圧縮値記憶手段の期待圧縮値を前記演算回路に与える情報収集手段とを備えて、前記得られた圧縮値と期待圧縮値とを比較する比較手段を前記の元々備える演算回路により兼用したことを特徴とする。

【0013】請求項2記載の発明では、前記請求項1記載の半導体集積回路のテスト回路において、コンパクトテスト回路は並列入力線形フィードバックシフトレジスタにより構成されることを特徴とする。

【0014】また、請求項3記載の発明では、前記請求項2記載の半導体集積回路のテスト回路において、並列入力線形フィードバックシフトレジスタは、複数のレジスタと、前記各レジスタの前段に配置される複数の2入力排他的論理和ゲートと、最終段のレジスタの出力と途中段のレジスタの出力とからフィードバック情報を生成するフィードバック情報生成手段とを備え、前記各レジスタにはその前段の2入力排他的論理和ゲートの出

20

力が各々入力され、最初段のレジスタの前段に位置する2入力排他的論理和ゲートを除く各2入力排他的論理和ゲートの第1の入力には各々その前段のレジスタの出力が与えられ、最初段のレジスタの前段に位置する2入力排他的論理和ゲートの第1の入力には前記フィードバック情報選択手段の出力が与えられるものであり、元々備える演算回路は、前記並列入力線形フィードバックシフトレジスタに備える複数の2入力排他的論理和ゲートであり、情報収集手段は、前記並列入力線形フィードバックシフトレジスタのフィードバック情報生成手段の出力と最終段のレジスタの出力とのうち何れか一方を制御信号により選択するフィードバック情報選択手段と、前記並列入力線形フィードバックシフトレジスタの各レジスタの第2の入力に与えるデータとして、並列データと期待圧縮値記憶手段の期待圧縮値とのうち何れか一方を制御信号により選択する入力選択手段とにより構成されることを特徴とする。

【0015】更に、請求項4記載の発明では、前記請求項1、請求項2又は請求項3記載の半導体集積回路のテスト回路において、テストされる半導体集積回路はメモリであることを特徴とする。

【0016】加えて、請求項5記載の発明では、前記請求項1、請求項2又は請求項3記載の半導体集積回路のテスト回路において、テストされる半導体集積回路は内部機能ブロックであることを特徴とする。

【0017】更に加えて、請求項6記載の発明では、前記請求項3記載の半導体集積回路のテスト回路において、入力選択手段は2入力マルチプレクサにより構成されることを特徴とする。

30

【0018】請求項7記載の発明では、前記請求項3記載の半導体集積回路のテスト回路において、1つのデータバスを備え、前記データバスには、並列入力線形フィードバックシフトレジスタの各2入力排他的論理和ゲートが直接に接続されると共に、半導体集積回路及び期待圧縮値記憶手段が各々出力バッファを介して接続され、入力選択手段は、前記半導体集積回路及び期待圧縮値記憶手段のうち何れか1つのデータを前記データバスに出力するよう前記半導体集積回路及び期待圧縮値記憶手段の各出力バッファを制御する制御回路から成ることを特徴とする。

40

【0019】また、請求項8記載の発明では、前記請求項7記載の半導体集積回路のテスト回路において、データバスに接続される半導体集積回路は複数個であることを特徴とする。

【0020】更に、請求項9記載の発明では、前記請求項3又は請求項7記載の半導体集積回路のテスト回路において、入力選択手段は、制御信号により、半導体集積回路からの並列データを圧縮する圧縮サイクル時には半導体集積回路からの並列データを選択し、得られた圧縮値と期待圧縮値との比較判定時には期待圧縮値記憶手段

50

の期待圧縮値を選択することを特徴とする。

【0021】加えて、請求項10記載の発明では、前記請求項3記載の半導体集積回路のテスト回路において、期待圧縮値記憶手段は、期待圧縮値を、予め並列入力線形フィードバックシフトレジスタのシフト方向に1ビットのみローテート操作して記憶することを特徴とする。

【0022】また、請求項11記載の発明では、前記請求項3記載の半導体集積回路のテスト回路において、1つのデータバスを備え、並列入力線形フィードバックシフトレジスタは、各レジスタの出力及びフィードバック情報選択手段の出力を各々前記データバスに接続する出力バッファを備えると共に、各2入力排他的論理和ゲートの第1の入力が前記データバスに直接接続されて、最初段のレジスタの前段に位置する2入力排他的論理和ゲートを除く各2入力排他的論理和ゲートの第1の入力には各々その前段のレジスタの出力が前記出力バッファ及び前記データバスを介して与えられ、最初段のレジスタの前段に位置する2入力排他的論理和ゲートの第1の入力には前記フィードバック情報選択手段の出力が前記出力バッファ及び前記データバスを介して与えられるものであることを特徴とする。

【0023】更に、請求項12記載の発明では、前記請求項11記載の半導体集積回路のテスト回路において、他の1つのデータバスを備え、並列入力線形フィードバックシフトレジスタは、各レジスタの出力及びフィードバック情報選択手段の出力を各々前記他のデータバスに接続する他の出力バッファを備えると共に、各2入力排他的論理和ゲートの第2の入力が前記データバスに直接接続されて、最初段のレジスタの前段に位置する2入力排他的論理和ゲートを除く各2入力排他的論理和ゲートの第2の入力には各々その前段のレジスタの出力が前記他の出力バッファ及び前記他のデータバスを介して与えられ、最初段のレジスタの前段に位置する2入力排他的論理和ゲートの第2の入力には前記フィードバック情報選択手段の出力が前記他の出力バッファ及び前記他のデータバスを介して与えられるものであることを特徴とする。

【0024】加えて、請求項13記載の発明では、前記請求項12記載の半導体集積回路のテスト回路において、データバス及び他の1つのデータバスには、各々、半導体集積回路及び期待圧縮値記憶手段が接続され、前記半導体集積回路及び期待圧縮値記憶手段は、各々、出力バッファを内蔵し、入力選択手段は、2つのデータバスのうち何れか一方を並列入力線形フィードバックシフトレジスタの圧縮用に用いながら、他方のデータバスに、この他方のデータバスに接続された半導体集積回路及び期待圧縮値記憶手段のうち何れかからデータを出力するように、前記半導体集積回路及び期待圧縮値記憶手段に各々内蔵する出力バッファ、並びに前記並列入力線形フィードバックシフトレジスタに内蔵する各出力バッ

ファを制御する制御回路から成ることを特徴とする。

【0025】更に加えて、請求項14記載の発明では、前記請求項12記載の半導体集積回路のテスト回路において、データバス及び他の1つのデータバスには、各々、半導体集積回路が接続され、前記半導体集積回路は出力バッファを内蔵し、入力選択手段は、一方のデータバスに、この一方のデータバスに接続された半導体集積回路からデータを出力すると共に、他方のデータバスに、この他方のデータバスに接続された半導体集積回路からデータを出力し、前記両データバスに出力されたデータ同志を並列入力線形フィードバックシフトレジスタの各2入力排他的論理和ゲートで比較するように、前記半導体集積回路に内蔵する出力バッファ及び前記並列入力線形フィードバックシフトレジスタに内蔵する各出力バッファを制御する制御回路から成ることを特徴とする。

【0026】請求項15記載の発明では、前記請求項3又は請求項7記載の半導体集積回路のテスト回路において、並列入力線形フィードバックシフトレジスタの各2入力排他的論理和ゲートの出力を入力し、その各入力の値から半導体集積回路の正誤を判定し、その判定結果を出力する正誤判定手段を備えたことを特徴とする。

【0027】また、請求項16記載の発明では、前記請求項3又は請求項7記載の半導体集積回路のテスト回路において、並列入力線形フィードバックシフトレジスタの各2入力排他的論理和ゲートの出力を入力し、その入力内容を格納すると共にその入力内容を出力する診断レジスタを備えたことを特徴とする。

【0028】更に、請求項17記載の発明では、前記請求項7記載の半導体集積回路のテスト回路において、フィードバック情報選択手段にはスキャンイン情報が入力され、前記フィードバック情報選択手段はスキャン操作時に前記スキャンイン情報を選択するものであり、並列入力線形フィードバックシフトレジスタの最終段のレジスタの出力はスキャンアウト情報としてスキャンバスに接続され、前記並列入力線形フィードバックシフトレジスタの各レジスタに並列データとしてスキャン操作時にゼロを与えるゼロ出力手段を備えて、テスト回路の外部から前記並列入力線形フィードバックシフトレジスタの全てのレジスタの出力を観察できるように構成したことを特徴とする。

【0029】加えて、請求項18記載の発明では、前記請求項14記載の半導体集積回路のテスト回路において、並列入力線形フィードバックシフトレジスタの各2入力排他的論理和ゲートでの両データの比較結果を入力してこの両データの一致又は不一致を判定し、その判定結果を出力する正誤判定手段を備えたことを特徴とする。

【0030】更に加えて、請求項19記載の発明の半導体集積回路のテスト方法では、予め求めた期待圧縮値の



生成時と同一のアドレスシーケンスにより半導体集積回路からデータを順次読み出すと同時に、この読み出した各データを並列入力線形フィードバックシフトレジスタの各レジスタに並列に順次入力し、シフトすることを繰返すことにより、順次並列データを圧縮することを繰返し、最後の並列データを圧縮した時点の各レジスタの出力を並列データの圧縮値として求め、その後、最初段のレジスタの前段に位置する2入力排他的論理和ゲートの第1の入力に最終段のレジスタの出力を与え、且つ最初段のレジスタを除く各レジスタの前段に位置する2入力排他的論理和ゲートの第1の入力にその各前段のレジスタの出力を与えると共に、前記並列入力線形フィードバックシフトレジスタの各2入力排他的論理和ゲートの第2の入力に期待圧縮値を入力して、各2入力排他的論理和ゲートにより、並列データの圧縮値と期待圧縮値との対応ビット同志の比較演算を行い、この比較演算結果により半導体集積回路の正常性をテストすることを特徴とする。

【0031】請求項20記載の発明では、前記請求項19記載の半導体集積回路のテスト方法において、複数の半導体集積回路のうち何れか1つを出力バッファを介して1つのデータバスに接続し、その接続した半導体集積回路から順次データを前記データバスを介して読み出し、この読み出した各データの圧縮、圧縮値の算出、得られた圧縮値と期待圧縮値との比較を行った後、前記複数の半導体集積回路のうち他の何れか1つを出力バッファを介して1つのデータバスに接続し、その接続した半導体集積回路から順次データを前記データバスを介して読み出し、この読み出した各データの圧縮、圧縮値の算出、得られた圧縮値と期待圧縮値との比較を行うことを繰返すことを特徴とする。

【0032】また、請求項21記載の発明では、前記請求項19記載の半導体集積回路のテスト方法において、半導体集積回路からのデータを並列入力線形フィードバックシフトレジスタにより圧縮することを繰返している際、そのデータの圧縮毎に、前記並列入力線形フィードバックシフトレジスタの最終段のレジスタを除くレジスタの出力及びフィードバック情報から成る圧縮途中情報をデータバスを介してこのデータバスに接続されている半導体集積回路のテストデータとして入力又は記憶させることを特徴とする。

【0033】更に、請求項22記載の発明では、前記請求項19記載の半導体集積回路のテスト方法において、並列入力線形フィードバックシフトレジスタには、テスト開始前に、初期値がスキャンインされることを特徴とする。

【0034】加えて、請求項23記載の発明では、前記請求項22記載の半導体集積回路のテスト方法において、被テスト半導体集積回路は複数のメモリであり、前記各メモリは、その容量、書き込まれるデータ又は書き

込まれたデータが異なるものであり、並列入力線形フィードバックシフトレジスタにスキャンインされる初期値は、前記各メモリからデータを読み出して求まる各々の期待圧縮値が同一値となるように予め求めた所定の初期値であることを特徴とする。

【0035】更に加えて、請求項24記載の発明では、前記請求項22記載の半導体集積回路のテスト方法において、被テスト半導体集積回路は複数の内部機能ブロックであり、前記各内部機能ブロックは、その機能又は与えられる入力系列が異なるものであり、並列入力線形フィードバックシフトレジスタにスキャンインされる初期値は、前記各入力系列に対する各内部機能ブロックの出力から求まる各々の期待圧縮値が同一値となるように予め求めた所定の初期値であることを特徴とする。

【0036】

【作用】上記した構成によって、請求項1ないし請求項18記載の半導体集積回路のテスト回路及び請求項19ないし請求項24記載の半導体集積回路のテスト方法では、期待値（期待シグネチャ）を求めたのと同じ順序で読み出し又は出力される半導体集積回路からのデータを、並列データとして並列入力LFSRに入力する。前記並列入力LFSRに入力した並列データをクロックに同期してシフトすることにより、並列入力LFSRの各レジスタに出力系列の圧縮値が順次格納されて行く。全てのデータを読み出し、その圧縮の繰返しを終えた時点で、半導体集積回路からのデータの出力系列を圧縮した、求める圧縮値（シグネチャ）が得られる。

【0037】前記求めたシグネチャと期待シグネチャとを比較するために、この両シグネチャは、テスト回路に元々備える演算回路に与えられる。例えば、並列入力LFSRの最初段のレジスタの前段に配置された2入力排他的論理和ゲートの第1の入力には、最終段のレジスタの出力が与えられると共に、最初段のレジスタを除く各レジスタの前段に配置された2入力排他的論理和ゲートの第1の入力には、その各前段に位置するレジスタの出力が与えられる。また、前記各2入力排他的論理和ゲートの第2の入力には、期待シグネチャが入力される。

【0038】これにより、全レジスタの各出力から成る圧縮シグネチャと、比較用期待シグネチャとの対応ビット同志が、並列入力LFSRの各2入力排他的論理和ゲートで比較されるので、ここでシフト動作を行うことで比較結果がレジスタに格納される。

【0039】従って、各レジスタに格納された比較結果により、圧縮シグネチャと比較用期待シグネチャとの一致、不一致が判断されて、半導体集積回路（メモリ又は内部機能ブロック）の正常、異常が判断されることになる。

【0040】よって、テスト回路に元々備えた演算回路、例えばデータ圧縮に用いた並列入力LFSR自身でもって、圧縮シグネチャと期待シグネチャとの比較が行

なえて、半導体集積回路の出力系列の正誤を判定することができる。

【0041】特に、請求項14記載の半導体集積回路のテスト回路では、2つのデータバスには、各々、半導体集積回路が接続されると共に、並列入力LFSRの各2入力排他的論理和ゲートが接続されるので、各データバスに接続された各々の半導体集積回路からのデータ同志を並列入力LFSRの各2入力排他的論理和ゲートで比較することができる。

【0042】また、請求項17記載の発明の半導体集積回路のテスト回路では、並列入力LFSRの2入力排他的論理和ゲートでの圧縮値と期待値との比較結果がスキランアウトされるので、チップ外部で半導体集積回路の出力系列の正誤を観察する場合であっても、半導体集積回路の品種毎に期待シグネチャを管理する必要がなく、また期待シグネチャを知り得ないユーザーであっても、半導体集積回路の正誤テストが可能である。

【0043】更に、請求項21記載の半導体集積回路のテスト方法では、並列入力LFSRを用いた半導体集積回路のテスト時（詳しくは、データの圧縮の繰返し時）には、このテストに併行して、前記並列入力LFSRからの圧縮途中情報、即ち最終段のレジスタを除くレジスタの出力及びフィードバック情報が、データバスを介してこのデータバスに接続された半導体集積回路（前記テスト中の半導体集積回路とは異なる半導体集積回路）にテストデータとして記憶される。従って、テストデータを発生して半導体集積回路に記憶させるデータ発生手段をデータバスに接続する必要が無く、データ発生手段が不要になると共に、半導体集積回路へのテストデータの記憶サイクルが不要になる。

【0044】加えて、請求項23及び請求項24記載の発明の半導体集積回路のテスト方法では、被テスト半導体集積回路が複数のメモリ又は内部機能ブロックであって且つその各メモリの容量等が異なったり、各内部機能ブロックの機能等が異なる場合であっても、入力する期待圧縮値は1つであるので、期待圧縮値記憶手段の容量を小さくできて、少ない面積で柔軟な自動テストを行うことができる。

【0045】

【実施例】以下、本発明の一実施例の半導体集積回路のテスト回路及びテスト方法について、図面を参照しながら説明する。尚、以下の説明で用いる図面中の同一の数字及び記号は、全図面を通じて同じ要素を示す。

【0046】（第1の実施例）図1は本発明の実施例における半導体集積回路のテスト回路の全体構成図である。

【0047】図1において、1はコンパクトテスト回路としての並列入力線形フィードバックシフトレジスタ（以下、並列入力LFSRと呼ぶ）、2は期待シグネチャ21を出力する期待圧縮値記憶手段としての期待シグ

ネチャ格納レジスタ、3は読み出しデータレジスタである。

【0048】前記並列入力LFSR1は、前記期待シグネチャ格納レジスタ2の出力する期待シグネチャ21と、読み出しデータレジスタ3の出力する読み出しデータ31と、制御回路10が出力するテスト制御信号（制御信号）12と、クロック信号13とを入力とし、その内蔵する4個の2入力排他的論理和ゲートXOR1～XOR4（後述）の出力11を出力している。

【0049】4はメモリアレイであって、アドレス入力62で与えられてアドレスレジスタ6に格納されたアドレス61をアドレスデコーダ5でデコードし、アドレスデコーダ5の出力するワード線に対応したワードの内容が読み出しデータ41として読み出されるものである。読み出されたデータ41は読み出しデータレジスタ3に格納され、読み出しデータ31として並列入力LFSR1に出力される。

【0050】7は診断レジスタであり、2入力排他的論理和ゲート（後述）の出力11と、テスト制御信号12と、クロック信号13とを入力とし、その内容を出力71に出力する。

【0051】また、8は正誤判定回路であって、並列入力LFSR1の各2入力排他的論理和ゲート（後述）の出力11を入力として、メモリの正誤を判定し、その判定結果81を出力する。前記図1の回路構成は、全て、1チップ上にオンチップ化されている。

【0052】図2は、前記並列入力LFSR1によって圧縮して求めた圧縮シグネチャと、前記期待シグネチャ格納レジスタ2の期待シグネチャとの比較、及び求められた圧縮シグネチャの正誤の判定を行うテスト回路の具体的構成図を示す。

【0053】同図において、並列入力LFSR1は、4個のレジスタS1～S4と、その各レジスタS1～S4の前段に配置された4個の2入力排他的論理和ゲートXOR1、XOR2、XOR3、XOR4と、前記最終段のレジスタS4の出力と途中段（4次の場合にはレジスタS3）の出力とを入力とする2入力排他的論理和ゲートXOR0とを備えた4ビットの並列入力LFSRである。前記並列入力LFSR1の4個の2入力排他的論理和ゲートXOR1～XOR4は、本実施例のテスト回路に元々備えた演算回路である。前記2入力排他的論理和ゲートXOR0の出力は最初段のレジスタS1へのフィードバック情報となり、この2入力排他的論理和ゲートXOR0によりフィードバック情報生成手段が構成される。

【0054】前記並列入力LFSR1は、下記式に示す4次の原始多項式

$$g(X) = x^4 + x + 1$$

を演算実現するものである。

【0055】前記並列入力LFSR1では、クロック信号に同期して左から右にデータがシフトされ、以降の説

明では、左端のレジスタS1を最初段、右端のレジスタS4を最終段のレジスタと呼ぶ。

【0056】並列入力LFSR1の入力である、メモリアレイ4からの読み出しデータ31(I1,I2,I3,I4)と、期待シグネチャ格納レジスタ2の期待シグネチャ21(E1,E2,E3,E4)とは、入力選択手段としての2入力マルチプレクサより成る入力セクタSEL1,SEL2,SEL3,SEL4により選択され、この出力が前記各2入力排他的論理和ゲートXOR1~XOR4の第2の入力に接続されている。また、最初段のレジスタS1の前段に位置する2入力排他的論理和ゲートXOR1以外の2入力排他的論理和ゲートXOR2~XOR4の第1の入力には、前段のレジスタS2~S4の出力がそれぞれ接続されている。

【0057】一方、最初段のレジスタS1の入力に接続された2入力排他的論理和ゲートXOR1の第1の入力には、フィードバック情報選択手段としてのフィードバック情報セクタSEL0の出力が接続されており、このフィードバック情報セクタSEL0は、テスト制御信号12により、最終段のレジスタS4の出力と前記2入力排他的論理和ゲート(フィードバック情報生成手段)XOR0の出力との何れか一方を選択し、出力する。

【0058】前記入力セクタSEL1~SEL4も、制御回路10が出力するテスト制御信号12により制御され、テスト制御信号12が0の時には、入力セクタSEL1~SEL4は読み出しデータ31(I1,I2,I3,I4)を、フィードバック情報セクタSEL0はフィードバック情報を選択する。また、テスト制御信号12が1の時には、入力セクタSEL1~SEL4は期待シグネチャ21(E1,E2,E3,E4)を、フィードバック情報セクタSEL0は最終段のレジスタS4の出力を選択する。

【0059】前記フィードバック情報セクタSEL0と4個の入力セクタSEL1~SEL4とにより、並列入力LFSR1による圧縮によって得られた圧縮シグネチャ及び期待シグネチャ格納レジスタ2の期待シグネチャを並列入力LFSR1の4個の2入力排他的論理和ゲートXOR1~XOR4(元々備える演算回路)に与える情報収集手段18を構成している。

【0060】診断レジスタ7は、各2入力排他的論理和ゲートXOR1~XOR4の出力11とテスト制御信号12とクロック13とを入力しており、メモリのテスト終了時にテスト制御信号12を書き込みイネーブルとしてその結果を格納し、その内容出力71に出力する。

【0061】また、正誤判定回路8も2入力排他的論理和ゲートXOR1~XOR4の出力11を入力しており、メモリのテスト終了時にメモリの正誤を判定してメモリ正誤判定結果81を出力する。

【0062】図3は、本発明の実施例における並列入力LFSR1による圧縮シグネチャと期待シグネチャとの比較及び正誤の判定を説明するタイミング図である。

【0063】以上のように構成された半導体集積回路のテスト回路について、以下、図1ないし図3を用いて、その動作を説明する。以下の説明では、簡単のためにテストされるメモリ(図示せず)の構成は、ワード数が32ワードであって、各ワードは4ビットであるものとする。

【0064】本実施例では、基本的に圧縮値の作成と、得られた圧縮値(求めるシグネチャ)と期待圧縮値(期待シグネチャ)との比較とを同一の並列入力LFSR1を用いて行なう点が従来と大きく異なる。

【0065】以下、テスト回路での圧縮値の作成と、得られた圧縮値と期待圧縮値との比較について説明する。ここでは、簡単のため、既にメモリにはデータが書き込まれているとする。

【0066】下記表は、並列入力LFSR1の所定の初期値(1010)と、メモリから読み出されるデータとにおける各情報圧縮サイクルでのレジスタS1~S4の内容を示す。レジスタS1~S4の値で、括弧内に示した英数字は16進表記のものである。情報圧縮の最終サイクルである32サイクル目のレジスタS1~S4の内容0011(16進表記で3)がこの入力系列における求めるシグネチャを示している。

【0067】

【表1】

10

20

30

サイクル	入力データ	LFSRの内容 (hex)	備 考
(LFSRの初期値)		1010 (A)	
1	1111	0010 (2)	情報圧縮 サイクル
2	0111	1110 (E)	
3	1011	0100 (4)	
4	0101	0111 (7)	
5	1110	1101 (D)	
6	0011	1101 (D)	
7	1111	0001 (1)	
8	0101	1101 (D)	
9	1011	0101 (5)	
10	0110	1100 (C)	
11	1111	1001 (9)	
12	0001	1101 (D)	
13	1111	0001 (1)	
14	0111	1111 (F)	
15	1010	1101 (D)	
16	0101	1011 (B)	
17	1111	1010 (A)	
18	0011	1110 (E)	
19	1111	0000 (0)	
20	0100	0100 (4)	
21	1011	1001 (9)	
22	0111	1011 (B)	
23	1111	1010 (A)	
24	0001	1100 (C)	
25	1110	1000 (8)	
26	0111	0011 (3)	
27	1011	1010 (A)	
28	0101	1000 (8)	
29	1111	1011 (B)	
30	0010	0111 (7)	
31	1111	1100 (C)	
32	0101	0011 (3)	
33	1001	0000 (0)	判定サイクル

尚、前記表において、入力データ（メモリからの読み出しデータ）及びレジスタS1～S4の内容は各々、左より、I1,I2,I3,I4/S1,S2,S3,S4の順で書かれている。

【0068】 先ず、テスト開始サイクルにおいて、最初のメモリ読み出しアドレス61が与えられ、メモリからのデータの読み出しが開始される。読み出されたデータ1111（16進表記でF）は読み出しデータレジスタ3に格納され、並列入力LFSR1に出力される。これと並行して並列入力LFSR1には初期値（この例では1010：16進表記でA）が設定される。

【0069】 続く、圧縮の第1サイクルでは、テスト制御信号12は0であり、入力セクタは読み出しデータ31（I1,I2,I3,I4）を、フィードバック情報セクタSEL0はフィードバック情報を選択している。テスト制御信号12は、圧縮操作が行なわれている間は常に0である。この場合、読み出されたデータ1111が入力セクタSEL～SEL4で選択され、並列入力LFSR1で圧縮される。圧縮された値は0010（16進表記で2）となる。また、このサイクルでも新たなメモリ読み出しア\* 50

\* ドレス61が与えられ、メモリからのデータ読み出しが行なわれている。読み出されたデータ0111（16進表記で7）は読み出しデータレジスタ3に格納され、並列入力LFSR1に出力される。

【0070】 同様に、圧縮の第2サイクルでは、読み出されたデータ0111が入力セクタSEL～SEL4で選択され並列入力LFSR1で圧縮される。この場合、圧縮された値は1110（16進表記でE）である。また、このサイクルでも新たなメモリ読み出しアドレス61が与えられ、メモリからのデータ読み出しが継続的に行なわれている。読み出されたデータ1011（16進表記でB）は読み出しデータレジスタ3に格納され、並列入力LFSR1に出力される。

【0071】 圧縮の第1サイクルから第32サイクルまでは、与えられるメモリ読み出しアドレスが異なるのみであり、同じ動作を行なう。メモリから読み出されたデータが全て正しいものであれば、求めるシグネチャは圧縮の第32サイクル目に求まり、0011（16進表記で3）となる。

【0072】圧縮サイクル(32サイクルまで)が終了すると、33サイクル目が判定サイクルとなる。テスト制御信号12は直前のサイクル(最後の圧縮サイクル)で、反転クロックに同期して1となっており、従って、入力セクタSEL1~SEL4は期待シグネチャ21(E1,E2,E3,E4)を選択し、フィードバック情報セクタSEL0は最終段のレジスタS4の出力を選択する。つまり、判定サイクルでは、全ての2入力排他的論理和ゲートXOR1~XOR4の第1の入力には前段のレジスタ(最初段のレジスタS1においては最終段のレジスタS4)の出力を、第2の入力には期待シグネチャ21(E1,E2,E3,E4)が与えられて、各2入力排他的論理和ゲートXOR1~XOR4において、レジスタS1~S4の各段に格納された値と、期待シグネチャ格納レジスタ2の期待シグネチャ21(E1,E2,E3,E4)との排他的論理和演算(比較)が行なわれる。

【0073】但し、n段(n=1~4)目のレジスタSnの入力に接続された2入力排他的論理和ゲートXORnには、期待シグネチャEnと前段(但し、n=1においては最終段)のレジスタSn-1の出力とが入力されるので、期待シグネチャ格納レジスタ2には、前記表から判るように、期待シグネチャ0011(16進表記で3)を1ビット右に循環(又は3ビット左に循環)したデータが格納される。本実施例では、格納されているデータは、1001(16進表記で9)である。

【0074】従って、前記各2入力排他的論理和ゲートXOR1~XOR4からは、圧縮シグネチャと期待シグネチャとの各対応ビット同士が一致すれば0が出力され、不一致であれば1が出力されて、後段のレジスタにこの比較結果が格納される。この比較結果は2入力排他的論理和ゲートXOR1~XOR4の出力11として、診断レジスタ7と正誤判定回路8とに入力される。

【0075】診断レジスタ7は、テスト制御信号12を書き込みイネーブル信号として用い、この比較判定サイクルでの2入力排他的論理和ゲートXOR1~XOR4の出力11を判定結果として格納し、出力71に出力する。また、正誤判定回路8は、比較判定サイクルにおいて2入力排他的論理和ゲートの出力11の全ての値が0であれば、メモリは正常であるとして1を出力し、1つでも1の値を持つ2入力排他的論理和ゲートの出力があれば、メモリは正常でないとして0を出力する。この正誤判定回路8は図1のように、2入力排他的論理和ゲートの出力11を入力とする4入力NORゲートにより実現できる。但し、表1にも示したように圧縮の第19サイクルでは2入力排他的論理和ゲートの出力11、即ち、各段のレジスタの値が全て0となっていることから判るように、メモリの正誤判定結果81は比較判定サイクルにおいてのみ有効である。

【0076】したがって、従来では、得られた圧縮値をALUを用いて比較していたためにマイクロプログラム

による複雑な制御を必要としていたが、本実施例では、比較判定サイクルにおいてテスト制御信号を与えるという簡単な制御のみで、データ圧縮を行った並列入力LFSR1でもって圧縮シグネチャと期待シグネチャとの比較が可能であるので、その比較を行う比較手段を別途設ける必要が無く、少ないハードウェア(フィードバック情報SEL0及び入力セクタSEL1~SEL4)の付加だけでオンチップ化も容易なメモリのテスト回路を実現することができる。

10 【0077】尚、本実施例では、読み出しデータレジスタ3の出力31を並列入力LFSR1に入力してデータを圧縮したが、この並列入力LFSR1に対して制御信号と若干のハードウェアとを付加すれば、この並列入力LFSR1を通常動作時には読み出しデータレジスタとして、メモリテスト時には並列入力LFSRとして用いることができるので、この場合には、ハードウェアの削減が可能である。

20 【0078】また、期待シグネチャ格納レジスタ2には、期待シグネチャを1ビット右に循環(又は3ビット左に循環)したデータを格納しておく必要があるとしたが、格納する期待シグネチャには操作を施さず、入力セクタSEL1~SEL4が期待シグネチャ格納メモリ2から出力される期待シグネチャを1ビット右に循環(又は3ビット左に循環)するようなローテータのような構成を採ることにより同様な効果を有する。

30 【0079】更に、本実施例では、並列入力LFSR1の初期値を1010(16進表記でA)としたが、必ずしもこの値でなくてもよく、任意の値を取ることができる。この場合には、期待シグネチャもこの初期値に対応したものを格納しておくことで、正しいテストが行なえる。

【0080】加えて、本実施例では、並列入力LFSR1をメモリに接続してそのテストを行ったが、内部機能ブロックの出力を並列入力LFSR1に接続し、期待圧縮値を求めたのと同じ入力系列を与え、その入力系列に対する出力系列を圧縮して、その求めた圧縮値と期待圧縮値とを比較することにより、同様に内部機能ブロックのテストも行える。

40 【0081】(第2の実施例)次に、第2の実施例、詳しくは、共通のデータバスに接続された複数の半導体集積回路のテスト回路について図4を用いて説明する。

【0082】図4は、本発明の第2の実施例における半導体集積回路のテスト回路の全体構成図である。図1と異なる点は、データバス14を備えること、及び並列入力LFSR1aの入力として、図1に示す入力セクタSEL1~SEL4を介さずに直接2入力排他的論理和ゲートXOR1~XOR4の第2の入力にデータバス14が接続されていること、並びにこのデータバス14に被テスト半導体集積回路である第1のメモリ9a及び第2のメモリ9bと、期待シグネチャ格納レジスタ2とが接続され、この

各メモリ9a、メモリ9b及び期待シグネチャ格納レジスタ2内には、各々、その記憶内容を前記データバス14に出力する出力バッファ9d、9e、2cが配置されると共に、制御回路10が、テスト制御信号12の出力と、前記各出力バッファ9d、9e、2cからデータバス14へのデータ出力を外部入力されるメモリ指定信号に基いてその何れか1個の出力バッファに指定する制御を行っていることである。尚、期待シグネチャ格納レジスタ2内の期待シグネチャは、予め格納されていたり、別途データバス14を経て外部から入力される。

【0083】つまり、本実施例では、入力選択手段を、図1の入力セクタSEL1~SEL4に代えて、各メモリ9a、9b及び期待シグネチャ格納レジスタ2に内蔵の各出力バッファ9d、9e、2cを制御する制御回路10により構成している。尚、図4の回路の構成要素は、全て、同一基板上に配置される。

【0084】次に、本実施例におけるデータの圧縮及び期待シグネチャとの比較及び正誤の判定について説明する。

【0085】簡単のために、メモリ9a、9bは2ウェイセットアソシエティブキャッシュメモリのデータアレイのように、同一のデータバスに接続され、同一構造でかつ同一のメモリ容量であるものとする。また、メモリ9a、9bに書き込まれているデータは同一であり、このデータを一定の読み出し順序で読み出した際の期待シグネチャが期待シグネチャ格納レジスタ2に格納されている。

【0086】先ず、並列入力LFSR1aの初期化（初期値の設定）を行ない、続いて、第1のメモリ9aの読み出し、及び読み出しデータの圧縮を行なう。第1のメモリ9aの圧縮サイクルでは、制御回路10から第1のメモリ9aに対し、データバス14への出力イネーブル信号が出力され、第1のメモリ9aの読み出しデータはデータバス14に出力される。並列入力LFSR1aは、データバス14上のデータを入力し、その圧縮を行なう。第1のメモリ9aの読み出しの順序は、期待シグネチャを求めた際と同じであり、全てのワードの読み出しを終了するまで圧縮サイクルを継続する。

【0087】第1のメモリ9aの圧縮サイクルが終了すると、並列入力LFSR1aに求めるシグネチャが得られる。

【0088】次に、第1のメモリ9aの比較判定サイクルに移る。テスト制御信号12は前のサイクル（最後の圧縮サイクル）の後半で、反転クロックに同期して1となっており、フィードバック情報セクタSEL0は最終段のレジスタS4の出力を選択する。また、制御回路10から期待シグネチャ格納レジスタ2に対し、データバス14への出力イネーブル信号が出力され、期待シグネチャがデータバス14に出力される。

【0089】前記データバス14上のデータは、並列入

力LFSR1aの各2入力排他的論理和ゲートXOR1~XOR4の第2の入力に与えられる。この各2入力排他的論理和ゲートXOR1~XOR4においては、レジスタS1~S4の各段に格納された値と、期待シグネチャ格納メモリ2の期待シグネチャ21との排他的論理和演算（比較）が行なわれ、比較結果が各2入力排他的論理和ゲートXOR1~XOR4の出力11に出力されて、診断レジスタ7と正誤判定回路8とに入力される。

【0090】診断レジスタ7は、比較判定サイクルでの2入力排他的論理和ゲートXOR1~XOR4の出力11を第1のメモリ9aの判定結果に割り当てられたフィールドに格納し、出力71に出力する。

【0091】また、正誤判定回路8は、判定サイクルにおいて全ての2入力排他的論理和ゲートXOR1~XOR4の出力11が0であれば、第1のメモリ9aは正常であるとして、1を出力し、1つでも1の値を持つ出力があれば、第1のメモリ9aは正常でないとして0を出力する。

【0092】次に、第2のメモリ9bの読み出し、及び読み出しデータの圧縮を行なう。但し、第1のメモリ9aの場合と同様に、先ず並列入力LFSR1aの初期化を行う必要がある。続いて、第2のメモリ9bの読み出し、及び読み出しデータの圧縮を行なう。第1のメモリ9aの圧縮サイクルと異なるのは、制御回路10から第2のメモリ9bに対し、データバス14への出力イネーブル信号が出力され、第2のメモリ9bの読み出しデータがデータバス14に出力されることのみであり、アドレス62で指示される読み出し順序は、第1のメモリ9aと同じである。また、メモリ9a、9bが正常であれば、読み出されるデータも同一である。

【0093】並列入力LFSR1aは、データバス14上のデータを入力し、その圧縮を行なう。全てのワードの読み出しを終了するまで圧縮サイクルを継続する。

【0094】第2のメモリ9bに対する圧縮サイクルが終了すると、並列入力LFSR1aに求めるシグネチャが得られる。ここでは、第1のメモリ9aと第2のメモリ9bに書き込まれたデータが同一で且つ読み出し順序が同一であることから、正しいデータが読み出されていれば、メモリ9a及びメモリ9bで同じシグネチャが得られることになる。

【0095】次に、第2のメモリ9bの比較判定サイクルに移る。第1のメモリ9aの場合と同様に、テスト制御信号12は前のサイクル（最後の圧縮サイクル）の後半で反転クロックに同期して1となっており、期待シグネチャ格納レジスタ2の出力する期待シグネチャ21がデータバス14に与えられて並列入力LFSR1aに入力されるので、この期待シグネチャ21と圧縮シグネチャとの比較が行なわれる。

【0096】診断レジスタ7は、比較判定サイクルでの2入力排他的論理和ゲートXOR1~XOR4の出力11を第2

のメモリ9bの正誤判定結果に割り当てられたフィールドに格納し、その内容を出力71に出力する。

【0097】また、正誤判定回路8は、第1のメモリ9aの場合と同様に、判定サイクルにおいて全ての2入力排他的論理和ゲートXOR1~XOR4の出力11が0であれば、第2のメモリ9bは正常であるとして1を出力し、1つでも0の値を持つ出力があれば、第2のメモリ9bは正常でないとして0を出力する。

【0098】このように、それぞれのメモリ9a、9bに対するデータ圧縮と、比較判定との両サイクルを実行することにより、共通のデータバス14に接続された第1のメモリ9aと第2のメモリ9bとのテストが行なえる。

【0099】尚、メモリ9a、9bは同一構造で且つ同一のメモリ容量であるとしたが、異なる容量であってもよく、また、異なるデータが書き込まれていてもよい。更に、データバス14に2つ以上のメモリが接続されていてもよい。これらの場合には、それぞれのメモリ毎に圧縮して求めたシグネチャが異なるので、それぞれのメモリに対応した期待シグネチャを持つか、又は全てのメモリを読み出してシグネチャを求め、これと期待シグネチャとを比較することにより、データバスに接続される様々な構成のメモリのテストが行なえる。尚、期待シグネチャ格納レジスタ2が複数の期待シグネチャを格納している場合には、この格納レジスタ2に制御回路10の出力するアドレス（図示せず）の入力が必要となる。

【0100】（第3の実施例）図5は本発明の第3の実施例である半導体集積回路のテスト回路を示す。本実施例では、データバスを2本設け、各データバスに、1個又は複数の半導体集積回路、具体的には演算器（内部機能ブロック）又はメモリを接続する構成としたものである。以下、図5のテスト回路の構成を説明する。尚、図4のテスト回路と同一構成の部分は同一の符号を付してその説明を省略し、異なる部分についてのみ説明する。

【0101】図5において、14a及び14bは各々データバスである。並列入力LFSR1cの各2入力排他的論理和ゲートXOR1~XOR4の第1入力是一方のデータバス14aに接続され、第2入力は他方のデータバス14bに接続される。また、並列入力LFSR1cの最終段のレジスタS4を除く3個のレジスタS1~S3の各出力側及びフィードバック情報セクタSEL0の出力側は、各々、出力バッファ1d、1e、1f、1g、1h、1i、1j、1kを介して、前記2個のデータバス14a、14bに接続される。前記一方のデータバス14aには、被テストメモリである第1のメモリ9aと、被テ

スト半導体集積回路である例えば乗算器や加算器等の演算器（内部機能ブロック）17と、期待シグネチャ格納レジスタ2aとが接続される。同様に、他方のデータバス14bには、被テスト半導体集積回路である第2のメモリ9bと期待シグネチャ格納レジスタ2bとが接続される。各期待シグネチャ格納レジスタ2a、2bは出力バッファ2e、2dを有する。制御回路10は、各出力バッファ1d~1k、2d、2e、9d、9eを制御してデータバス14a、14bに各々1つのデータのみの出力を許容すると共に、テスト制御信号12を出力する。また、制御回路10は、一方のデータバス14bに接続された期待シグネチャ格納レジスタ2aを制御して、この格納レジスタ2aに格納すべき2つの期待シグネチャ、即ちメモリ9aに対する期待シグネチャと演算器17に対する期待シグネチャとを各々所定の格納場所に格納すると共に、他方のデータバス14bに接続された期待シグネチャ格納レジスタ2bを制御して、この格納レジスタ2bに格納すべきメモリ9aに対する期待シグネチャを所定の格納場所に格納する。図5のテスト回路を構成する全ての要素は同一基板上に配置される。

【0102】前記の構成により、図5のテスト回路では、例えば第1のメモリ9aのテストを行う場合には、第1のメモリ9aから読み出した4ビットのデータの各ビットを各々一方のデータバス14aを介して並列入力LFSR1cの各2入力排他的論理和ゲートXOR1~XOR4の第1入力に入力すると共に、最終段のレジスタS4を除く3個のレジスタS1~S3の各出力及びフィードバック情報セクタSEL0の出力、即ち並列入力LFSR1cの内部情報を他方のデータバス14bを介して次段の2入力排他的論理和ゲートXOR1~XOR4の第2入力に入力することにより、データを圧縮することが可能である。

【0103】図6は本実施例における並列入力LFSR1cによる圧縮シグネチャと期待シグネチャとの比較、及び正誤の判定を説明するためのタイミング図を示す。以下、図5のテスト回路によるメモリのテストを図5及び図6を用いて説明する。尚、説明を簡単にするため、第1及び第2のメモリ9a、9bは相互に同一構成であり且つ同一のメモリ容量を有し、また、書き込まれているデータは相互に同一であると仮定する。また、テスト開始サイクル、圧縮サイクル及び比較判定サイクルにおいて制御回路10からメモリ9a、9b、期待シグネチャ格納レジスタ2a、2b及び並列入力LFSR1cに出力される各制御信号は下記表の通りである。

【0104】

【表2】

	LFSR1cの 出力バッファ 1d~1gへの 信号	LFSR1cの 出力バッファ 1h~1kへの 信号	第1の メモリ9aの 出力バッファ 9eへの信号	第2の メモリ9bの 出力バッファ 9fへの信号	第1の期待 シグネチャ格納 レジスタ2の 出力バッファ 2aへの信号	第2の期待 シグネチャ格納 レジスタ2の 出力バッファ 2dへの信号
メモリ9aの テスト開始 サイクル	1	0	1	0	0	0
メモリ9aの 圧縮サイクル	1	0	1	0	0	0
メモリ9aの 比較サイクル	1	0	0	0	1	0
メモリ9bの テスト開始 サイクル	0	1	0	1	0	0
メモリ9bの 圧縮サイクル	0	1	0	1	0	0
メモリ9bの 比較サイクル	0	1	0	0	0	1

まず、並列入力LFSR1cの初期化、即ち初期値の設定が行われる。続いて、第1のメモリ9aから読み出したデータの圧縮サイクルでは、一方のデータバス14aへの出力イネーブル信号が制御回路10から第1のメモリ9aの出力バッファ9eに出力されるので、第1のメモリ9aから読み出したデータがデータバス14aに出力される。また、他方のデータバス14bへの出力イネーブル信号が制御回路10から並列入力LFSR1cの4個の出力バッファ1d~1gに出力されるので、並列入力LFSR1cの内部情報、即ちレジスタS1~S3及びフィードバック情報セクタSEL0の各出力が他方のデータバス14bに出力される。テスト開始サイクル及び圧縮サイクルにおいてテスト制御信号12は0であるので、前記並列入力LFSR1cでは、フィードバック情報セクタSEL0は2入力排他的論理和ゲートXOR0の出力をフィードバック情報として選択しているため、データバス14bの1ビット目には2入力排他的論理和ゲートXOR0の出力が入力され、2ビット目、3ビット目及び4ビット目には各々レジスタS1、S2、S3の各出力が入力される。

【0105】並列入力LFSR1cの各2入力排他的論理和ゲートXOR1~XOR4では、各々、第1入力にデータバス14aのデータ、即ち第1のメモリ9aから読み出したデータ1b1~1b4を入力し、第2入力にデータバス14bのデータ、即ち並列入力LFSR1cの内部情報を入力し、各排他的論理和ゲートXOR1~XOR4においてこれ等の排他的論理和演算を行う。各演算結果はクロック13に同期してレジスタS1~S4に格納される。以上により、並列入力LFSR1cによる第1のメモリ9aからの読み出しデータの圧縮が行われる。

【0106】第1のメモリ9aからのデータの読み出し順序は、期待シグネチャを求めた際のデータ読み出し順序と同一である。第1のメモリ9aから全てのデータを\*50

\*読み出すまで圧縮サイクルが継続され、最後のデータの読み出し及び圧縮が終了すると、求める圧縮シグネチャが並列入力LFSR1cに得られる。

【0107】次に、第1のメモリ9aの圧縮シグネチャと期待シグネチャとの比較判定サイクルでは、テスト制御信号12が最後の圧縮サイクルの後半において反転クロックに同期して1になっているので、フィードバック情報セクタSEL0は最終段のレジスタS4の出力を選択しており、従って並列入力LFSR1cは各段のレジスタS1~S4の出力、即ち得られた圧縮シグネチャを他方のデータバス14bに出力する。一方のデータバス14aへの出力イネーブル信号が制御回路10から期待シグネチャ格納レジスタ2aに出力されるので、一方のデータバス14aには、期待シグネチャ格納レジスタ2aに格納された期待シグネチャが出力される。

【0108】並列入力LFSR1cの各2入力排他的論理和ゲートXOR1~XOR4では、各々、第1入力にデータバス14aのデータ、即ち期待シグネチャを入力し、第2入力にデータバス14bのデータ、即ち圧縮シグネチャを入力し、各排他的論理和ゲートXOR1~XOR4においてこれ等の排他的論理和演算を行う。各演算結果は各排他的論理和ゲートXOR1~XOR4の出力11に出力された後、診断レジスタ7及び正誤判定回路8に入力される。

【0109】前記診断レジスタ7は、前記比較判定サイクルでの2入力排他的論理和ゲートXOR1~XOR4の各出力11を、第1のメモリ9aの判定結果の記憶場所として割り当てられたフィールドに格納すると共に、その判定結果を外部出力する。また、正誤判定回路8は、前記比較判定サイクルでの2入力排他的論理和ゲートXOR1~XOR4の各出力11が0である場合には、第1のメモリ9aは正常であることを意味する値の「1」を出力し、各出力11の何れか1つに1の値があれば第1のメモリ9aは正常でないことを意味する値の「0」を出力する。



【0110】その後は、第2のメモリ9bからのデータ1a1~1a4の読み出し、その読み出しデータの圧縮、及び圧縮シグネチャと期待シグネチャとの比較判定を行う。これ等の動作は、前記第1のメモリ9aに対するテストと同様であるので、その説明を省略する。

【0111】尚、本実施例の以上の説明では、2個のメモリ9a、9bは同一構成であり且つ同一のメモリ容量であると仮定したが、異なる容量であってもよく、また異なるデータが書き込まれていてもよい。データバス14a、14bに各々複数のメモリが接続されていてもよい。各メモリ相互で異なるデータが書き込まれる場合には、各メモリに対応する期待シグネチャ格納レジスタ2a、2bには異なる期待シグネチャが格納される。期待シグネチャ格納レジスタ2a、2bに各々複数個の期待シグネチャを持つ場合には、制御回路10から期待シグネチャを指定するアドレス信号を発生し、この信号を期待シグネチャ格納レジスタ2a、2bに入力する必要がある。期待シグネチャ格納レジスタを1個だけ設ける場合には、備える複数のメモリから順次データを読み出して、その一連の出力系列の圧縮シグネチャを求め、この求めた圧縮シグネチャを期待シグネチャと比較する。

【0112】次に、本実施例の特徴を説明する。本実施例では、例えば第1のメモリ9aをテストする際に、図6に示すようにテスト開始サイクルから「1101」、「1001」、「1001」、「1111」、「0010」…という並列入力LFSR1cの内部情報（即ち各サイクル毎に異なるデータ）が順次他方のデータバス14bに出力されるので、この各データが、前記他方のデータバス14bに接続された第2のメモリ9bに順次書き込まれる（尚、第2のメモリ9bのテスト時には、並列入力LFSR1cの内部情報が、一方のデータバス14aを介して第1のメモリ9aに順次書き込まれると共に演算器17に演算オペランドとして入力される。従って、第2のメモリ9bをテストするに先立って予め第2のメモリ9bにデータを書き込むためのデータ発生手段をデータバス14aに接続する必要が無い。本実施例では、第1のメモリ9aと第2のメモリ9bとは同一構成で且つ同一容量であるとしているので、第1のメモリ9aから読み出したデータの圧縮と同時に併行して第2のメモリ9bへのデータの書き込みを行うことができる。

【0113】更に、並列入力LFSR1cを用いた第1及び第2のメモリ9a、9bのテストに加えて、この両メモリ9a、9bが同一容量であり且つ相互に対応するアドレスに同一データが書き込まれている場合には、第1のメモリ9aに記憶したデータと第2のメモリ9bに記憶したデータとが各々データバス14a、14bを介して並列入力LFSR1cの2入力排他的論理和ゲートXOR1~XOR4に入力され、この2入力排他的論理和ゲートXOR1~XOR4において前記入した両データが比較される。この比較により、両データが一致する場合には、2

入力排他的論理和ゲートXOR1~XOR4の各出力11は全て0であるので、正誤判定回路8は両メモリ9a、9bが共に正常であることを示す値の「1」を出力する。一方、両データが不一致の場合には、2入力排他的論理和ゲートXOR1~XOR4の各出力11のうち何れか1つが1であるので、正誤判定回路8は両メモリ9a、9bの何れか又は双方が異常であることを示す値の「0」を出力する。従って、正誤判定回路8の出力の値により、両メモリ9a、9bの正常、不正常が判定される。よって、両メモリ9a、9bのデータを1つずつ同時に読み出して、この読み出した両データを並列入力LFSR1cの2入力排他的論理和ゲートXOR1~XOR4で比較することにより、2個のメモリ9a、9bの正誤テストを行うことが可能である。

【0114】（第4の実施例）続いて、本発明の第4の実施例を説明する。本実施例は、概述すると、並列入力LFSRに若干のハードを付加して、比較判定結果をチップ外部に出力する構成である。図7は本第4実施例における半導体集積回路のテスト回路の全体図である。

【0115】前記第2実施例の図4と異なる点は、並列入力LFSR1bをチップ内のスキャンバスに接続するように、フィードバック情報セクタ（フィードバック情報生成手段）SEL0を3入力セクタとし、最終段のレジスタS4の出力と2入力排他的論理和ゲート（フィードバック情報生成手段）XOR0の出力とに加えて、スキャンイン信号15を入力とし、最終段のレジスタS4の出力をスキャンアウト信号16としてスキャンバスに接続したことと、並列入力LFSR1bの各レジスタS1~S4に並列データとして0を与えるゼロ出力手段としてのゼロ出力回路9cを設け、このゼロ出力回路9cに出力バッファ9fを配置して、ゼロ出力回路9cからデータバス14へのデータ出力を制御回路10により制御する構成とした点である。

【0116】したがって、本実施例においては、スキャン操作時には、ゼロ出力回路9cがデータバス14に0を出力し、この0の値が、2入力排他的論理和ゲートXOR1~XOR4の第2の入力に与えられて、前段のレジスタS1~S4の値そのものがクロックに合わせて1ビットずつ右にシフトするので、並列入力LFSR1bの比較結果がスキャンアウト信号として出力される。従って、比較結果をチップ外部で観察することができる。

【0117】また、比較結果のスキャンアウトに限らず、スキャン操作時には、スキャンイン信号として与えられた信号が3入力セクタSEL0で選択されて、クロックに合わせて並列入力LFSR1bに順次格納されるので、データ圧縮時の初期値(seed)がスキャンイン信号とされて、このスキャンイン信号が半導体集積回路のテスト当初でスキャンインされる。ここで、テストされる複数のメモリの容量が互いに異なる、又は同一容量であっても書き込まれたデータが互いに異なる場合には、得ら

れた圧縮シグネチャが同一となるような初期値が予め求められ、この初期値が各々のメモリのテスト毎にスキャンインされる。従って、1つの期待シグネチャを持つのみで、全てのメモリの自己診断が可能である。

【0118】このように、本実施例では、同一の並列入力LFSRを用いて、出力系列の圧縮、圧縮値と期待値との比較、及びスキャン(シフト)レジスタとしての機能を実現することができる。

【0119】尚、以上の説明では、診断レジスタ7と正誤判定回路8とに出力される信号11を2入力排他的論理和ゲートXOR1, XOR2, XOR3, XOR4の出力としたが、これに代えて、比較判定サイクルでシフト操作を行なうことにより、比較結果である2入力排他的論理和ゲートの出力を各段のレジスタに格納させ、これらレジスタの出力を正誤判定結果として診断レジスタ7に格納し、正誤判定回路8は、各段のレジスタの出力11の全ての値が0であれば、メモリは正常であるとして1を出力し、1つでも1の値を持つていればメモリは正常でないとして0を出力することで、正誤の判定を正しく行なえる。

【0120】また、本発明は前記各実施例に限定されない。即ち、メモリのテストでは、ROM、PLAのようにデータが固定で且つ読み出す順序が常に同一であれば、期待シグネチャは一意に定まり、またRAMであってもテストのために書き込むデータ及び読み出す順序が常に同一であれば、同様に一意に定まるので、プログラム可能なROM、PLA等であっても、プログラム時に期待シグネチャも共に書き換えることにより、このテスト回路でのテストが可能である。また、並列入力LFSRは、被テストメモリと同一チップ上に配置したが、これに限定されるものでないのは勿論である。

【0121】

【発明の効果】以上説明したように、請求項1ないし請求項24記載の発明の半導体集積回路のテスト回路及びテスト方法によれば、圧縮の繰返しにより得られた圧縮シグネチャと期待シグネチャとを比較する比較手段を、テスト回路に元々備える演算回路で兼用することとして、例えば半導体集積回路からのデータの出力系列を圧縮する並列入力LFSRを利用して、得られた圧縮シグネチャと期待シグネチャとの比較を行ったので、従来のように比較手段としてALUを用いる場合に比して、テスト時間の延長を招かずに、少ないハードウェアでもって半導体集積回路(メモリ又は内部機能ブロック)の正常性の判定が可能である。

【0122】また、半導体集積回路のテストのためにマイクロプログラムによる制御を必要としない簡単な制御が可能であるので、少ない面積でチップ上にこれら回路を搭載することができ、チップ内蔵の自動テストが比較的容易に構成できる効果を奏する。

【0123】更に、期待シグネチャとの比較のためにALUを用いる必要がないので、1つのメモリのテストで

あれば、並列入力LFSRをデータバスに接続する必要がなく、テスト回路を柔軟にチップ上に配置でき、データバスに接続されていない内部機能ブロックのテストも容易に行える利点がある。

【0124】特に、請求項14記載の半導体集積回路のテスト回路によれば、2つのデータバスに接続された2入力排他的論理和ゲートの出力を検査することにより、同一の並列入力LFSRを用いて一方のデータバス上のデータの圧縮と比較だけでなく、2つのデータバス間のデータの比較も行えるので、より柔軟な自動テストが可能である。また、請求項17記載の発明の半導体集積回路のテスト回路によれば、チップ外部で半導体集積回路の出力系列の正誤を観察する場合であっても、スキャンアウトする情報は求めたシグネチャではなく、判定結果であるので、半導体集積回路の品種毎に多くの期待シグネチャを管理し、これを用いて比較する必要がなく、また期待シグネチャを知り得ないユーザーであっても、半導体集積回路の正誤テストを容易に行い得る。

【0125】更に、請求項21記載の半導体集積回路のテスト方法によれば、半導体集積回路のテスト中に併行して、並列入力LFSRの内部情報を半導体集積回路にテストデータとして入力することができるので、テストデータ発生手段を不要にできると共に、半導体集積回路へのテストデータの記憶サイクルを不要にできる。

【0126】加えて、請求項23及び請求項24記載の発明の半導体集積回路のテスト方法によれば、複数の半導体集積回路の期待圧縮値が同一となるように、並列入力線形フィードバックシフトレジスタに入力すべき初期値を各々の半導体集積回路について予め求め、この各初期値をテスト開始時に並列入力線形フィードバックシフトレジスタにスキャンインするので、複数の半導体集積回路の正常性をテストする場合であっても、期待圧縮値が1つでよく、少ない面積で柔軟な自動テストを行うことができる。

【図面の簡単な説明】

【図1】本発明の第1の実施例における半導体集積回路のテスト回路の全体概略構成図である。

【図2】同第1の実施例における並列入力LFSRによる半導体集積回路の具体的テスト回路の構成図である。

【図3】同第1の実施例におけるデータの圧縮と期待シグネチャとの比較を説明するタイミング図である。

【図4】本発明の第2の実施例における半導体集積回路のテスト回路の具体的構成図である。

【図5】本発明の第3の実施例における半導体集積回路のテスト回路の具体的構成図である。

【図6】同第3の実施例におけるデータの圧縮と期待シグネチャとの比較を説明するタイミング図である。

【図7】本発明の第4の実施例における半導体集積回路のテスト回路の具体的構成図である。

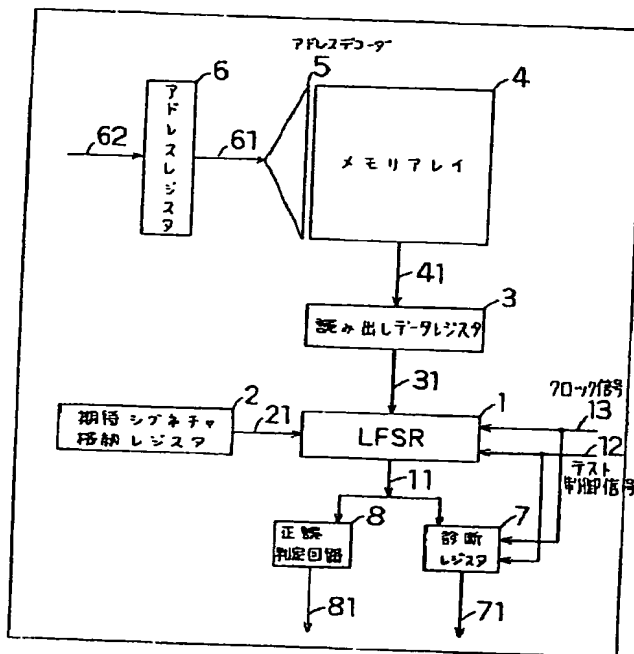
【符号の説明】

31  
1, 1a, 1b, 1c 並列入力線形フィードバックシフトレジスタ (コンパクトテスト回路)  
1d, 1e~1k, 2c, 9d, 9e 出力バッファ  
S1~S4 レジスタ  
XOR1~XOR4 2入力排他的論理和ゲート (演算回路)  
XOR0 フィードバック情報生成手段  
SELO フィードバック情報選択手段  
2, 2a, 2b 期待シグネチャ格納レジスタ (期待圧縮値記憶手段)

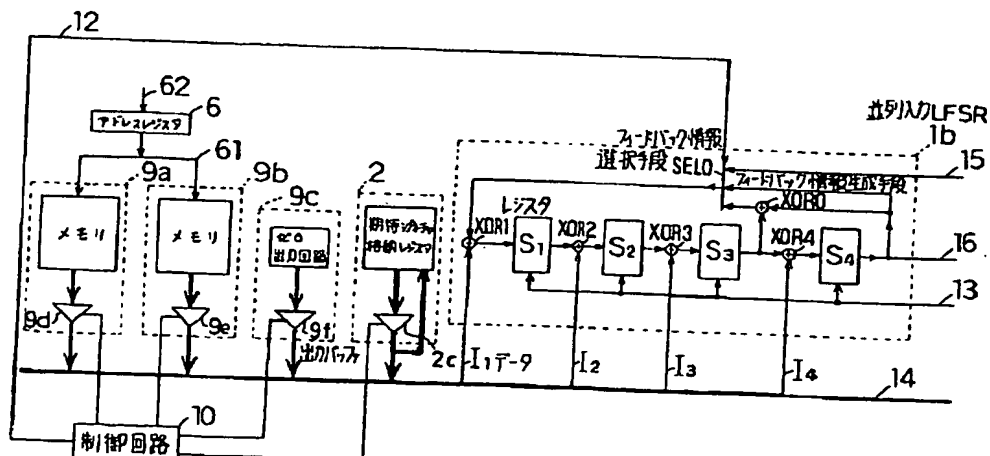
7  
8  
SEL1~SEL4 択手段)  
9a, 9b  
10  
14a  
14b  
17  
18 (半導体集積回路)

32  
診断レジスタ  
正誤判定回路  
2入力マルチプレクサ (入力選択手段)  
メモリ (半導体集積回路)  
制御回路 (制御手段)  
一方のデータバス  
他方のデータバス  
演算器 (内部機能ブロック)  
情報収集手段

【図1】



【図7】



[illegible]

テスト 圧縮の 圧縮の 圧縮の 圧縮の 圧縮の  
 開始 第1 第2 第3 第4 第5  
 サイクル サイクル サイクル サイクル サイクル

クロック 13.

テスト 制御信号 12.

期待シブネチャ 21.

アドレス 61.

読み出しデータ 31.

入力セクタ出力

シフトレジスタの内容

故障レジスタの内容 71.

メモリ正誤判定結果 81.

圧縮の 圧縮の 圧縮の 圧縮の 圧縮の  
 第28 第29 第30 第31 第32 比較判定  
 サイクル サイクル サイクル サイクル サイクル サイクル

Figure 1 is a block diagram of a control system for a 12-bit test signal. The diagram shows a control circuit (10) connected to three memory units (62, 67, 9b) via address lines (9a, 9d, 9e). The memory units output signals (9c, 9f, 9g) to a series of XOR gates (XOR1 to XOR4) and a final output (14). The control circuit also receives a memory selection signal (メモリ指定信号) and a 12-bit test signal (12ビット制御信号).

【図6】

